

(19)



JAPANESE PATENT OFFICE

JPA 61-105963

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 61105963 A

(43) Date of publication of application: 24 . 05 . 86

(51) Int. Cl

H04N 1/21

G06F 3/12

G06K 9/20

H04N 1/00

(21) Application number: 59228513

(22) Date of filing: 30 . 10 . 84

(71) Applicant: TOSHIBA CORP

(72) Inventor: ISHIGAKI TOSHINORI  
KATSUMATA HIROTO

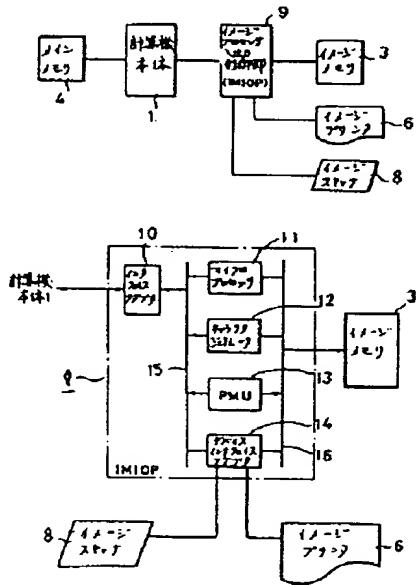
(54) IMAGE INPUT/OUTPUT CONTROLLING DEVICE

(57) Abstract:

PURPOSE: To simplify the system in a system provided with an image inputting mechanism such as an image scanner, etc. and an image outputting mechanism such as a page printer etc., by utilizing hardware effectively.

CONSTITUTION: Conventional image processor, image printer controlling section, image scanner controlling section etc. are made into common hardware and replaced by an image processor input/output controlling section 9. Thus, devices are unified into one controlling section 9, and only one page memory is used to simplify the constitution and reduce the cost. As input/output image data are stored in a page memory of the controlling section and can be processed on an image memory. Accordingly, its processing speed can be enhanced.

COPYRIGHT: (C)1986,JPO&Japio



This Page Blank (uspto)

## ⑪ 公開特許公報 (A)

昭61-105963

⑤Int.Cl.

H 04 N 1/21  
 G 06 F 3/12  
 G 06 K 9/20  
 H 04 N 1/00

識別記号

厅内整理番号  
 7136-5C  
 7208-5B  
 8419-5B  
 C-7334-5C

⑪公開 昭和61年(1986)5月24日

審査請求 有 発明の数 1 (全5頁)

④発明の名称 イメージ入出力制御装置

②特 願 昭59-228513

②出 願 昭59(1984)10月30日

⑦発明者 石垣俊典 青梅市末広町2丁目9番地 株式会社東芝青梅工場内  
 ⑦発明者 勝又宏人 青梅市末広町2丁目9番地 株式会社東芝青梅工場内  
 ⑦出願人 株式会社東芝 川崎市幸区堀川町72番地  
 ⑦代理人 弁理士 鈴江武彦 外2名

## 明細書

## 1.発明の名称

イメージ入出力制御装置

## 2.特許請求の範囲

イメージスキャナ、イメージプリンタ、及びイメージメモリの接続機構を有し、前記イメージスキャナの入力データを前記イメージメモリに書き込む手段と、前記イメージメモリに記憶されたデータを前記イメージプリンタに送出する手段と、外部装置との間でイメージデータを送受する手段と、前記各手段に共通の制御用プロセッサとを具備してなることを特徴としたイメージ入出力制御装置。

## 3.発明の詳細を説明

## 〔発明の技術分野〕

本発明はイメージ入力端末及びイメージ出力端末をもつシステムに用いられるイメージ入出力制御装置に関するもの。

## 〔発明の技術的背景とその問題点〕

従来のこの種イメージ入力端末及びイメージ

出力端末を有するシステムの構成例を第3図に示す。このシステム動作は、電子計算機本体1よりイメージスキャナ制御部7に命令を出し、イメージスキャナ8より、オペレータがセットした用紙の絵(イメージ)を入力し、イメージスキャナ制御部7を介して計算機本体1のメインメモリ4にイメージデータをストアし、図示しない磁気ディスクにメインメモリ4のイメージデータを記憶しておく。そして、これらのイメージデータのイメージ処理が必要な場合は、再度メインメモリ4に読み出し、計算機本体1よりイメージプロセッサ2に命令とイメージデータを送出する。これによりイメージプロセッサ2はイメージデータをイメージメモリ3にストアし、該メモリ3上にてイメージ処理(例えばイメージデータの回転、切り出し、部分移動、イメージデータの上に文書を追加しイメージメモリ3にオア・ライトする等)する。計算機本体1はイメージメモリ3より処理後のイメージデータをイメージプロセッサ2を通して受け取

り、一時、メインメモリ $\times$ に記憶し、磁気ディスクにストアする。又はそのまま、メインメモリ $\times$ より計算機本体 $1$ がイメージプリンタ制御部 $5$ に命令を出し、メインメモリ $\times$ よりイメージデータをイメージプリンタ制御部 $5$ を通して、イメージプリンタ $6$ に出力する。更に上記システムに於いては、計算機本体 $1$ からの命令で、イメージデータの出力だけでなく、コード(文字)データをメインメモリ $\times$ からイメージプリンタ制御部 $5$ に出力し、イメージプリンタ制御部 $5$ がキャラクタフォントイメージを開き、イメージとしてイメージプリンタ $6$ に印字することもできる。また、イメージスキャナ制御部 $7$ はイメージスキャナ $8$ からの用紙一画面分のイメージの、あらかじめ指定された範囲のみを切り出して計算機本体 $1$ にデータ転送することもできる。

しかしながら上記したような従来のシステム構成に於いては以下のような種々の欠点があった。即ち、システム内でのイメージデータの移

及びイメージスキャナ制御部 $7$ 等に対する制御の為の処理時間が増え、計算機本体 $1$ の性能低下を招いていた。

また、ハードウェア上に於いてはイメージプロセッサ $2$ 、イメージプリンタ制御部 $5$ 、イメージスキャナ制御部 $7$ 等が別個に必要であり、コストが高くなっていた。

また、イメージメモリ $3$ はイメージプロセッサ $2$ が処理するためにだけ利用されるにすぎず、イメージプリンタ制御部 $5$ 、イメージスキャナ制御部 $7$ とは無関係であり、イメージプリンタ制御部 $5$ 、イメージスキャナ制御部 $7$ がイメージメモリ $3$ を利用することはなかった。このため、イメージプリンタ $6$ へのイメージ出力時(ページプリント方式)、計算機本体 $1$ からのデータ転送が間にあわぬ時は、イメージプリンタ制御部 $5$ に頁メモリ $9b$ が付加され、又、イメージデータの入力を円滑化するにはイメージスキャナ制御部 $7$ にも頁メモリ $9b$ が付加されるが、これらの頁メモリ $9b$ 、 $9b$ 、及びイメ

動が多く(例えば、イメージデータがイメージスキャナ $8$ からイメージスキャナ制御部 $7$ を介してメインメモリ $\times$ へ、又、メインメモリ $\times$ からイメージプロセッサ $2$ を介してイメージメモリ $3$ へ、又、イメージメモリ $3$ からイメージプロセッサ $2$ を介してメインメモリ $\times$ へ、更にはメインメモリ $\times$ からイメージプリンタ制御部 $5$ を介してイメージプリンタ $6$ へ等)、この時イメージデータが計算機本体 $1$ ～メインメモリ $\times$ の間、及び計算機本体 $1$ ～イメージプロセッサ $2$ の間、更にはイメージスキャナ制御部 $7$ ～計算機本体 $1$ の間を移動するので、計算機本体 $1$ のメインメモリ $\times$ からのプログラムの読み出しに時間がかかり、計算機本体 $1$ の処理スピードが落ちる。即ちシステム全体の処理速度が遅いという欠点があった。更には計算機本体 $1$ からイメージプロセッサ $2$ 、イメージプリンタ制御部 $5$ 、イメージスキャナ制御部 $7$ 等に対する命令の送出数が多く、従って計算機本体 $1$ のイメージプロセッサ $2$ 、イメージプリンタ制御部 $5$ 、

イメージメモリ $3$ は解像度ミリ $1.6$ 本、A3サイズで約4Mバイト必要であり、非常に高価であった。

このように従来のシステム構成に於いては、構成の繁雑、処理の繁雑、経済性、性能等種々の面で問題があった。

#### [発明の目的]

本発明は上記実情に鑑みなされたもので、イメージスキャナ等のイメージ入力機構、及びページプリンタ等のイメージ出力機構を備えたシステムに於いて、ハードウェアの有効利用を計り、経済的に有利で、かつシステム性能向上できるイメージ入出力制御装置を提供することを目的とする。

#### [発明の概要]

本発明は第1図に示す如く、従来のイメージプロセッサ、イメージプリンタ制御部、イメージスキャナ制御部等を共通ハードウェア化してイメージプロセッサ入出力制御部 $9$ に置きかえることにより、システム構成の簡素化と低価格

化を実現し、また、イメージスキャナ 8からのイメージデータを直接上記入出力制御部 9を介してイメージメモリ 3に入れて、該メモリ 3上にてイメージ処理を可能とし、更に必要に応じ、イメージメモリ 3より入出力制御部 9を通してイメージプリンタ 6に出力して、計算機本体の処理を簡素化し、処理性能を向上させたものである。

## 〔発明の実施例〕

第1図は本発明の一実施例を示すシステムブロック図である。図中、1, 3, 4, 6, 8はそれぞれ上述した第3図の構成要素と同様のものであり、1は計算機本体、3はイメージメモリ、4はメインメモリ、6はイメージプリンタ、8はイメージスキャナである。

9は上述した第3図のイメージプロセッサ2、イメージプリンタ制御部5、及びイメージスキャナ制御部7の各機能をもつイメージプロセッサ入出力制御部であり、以後IMIOPと称す。

第2図は上記IMIOP 9の詳細なブロック図で

近年、イメージ処理によるイメージデータが、電子計算機システムの内部で転送されることが多くなり、イメージ処理機能もイメージ機器（スキャナ、プリンタ等）の制御部で持つようになってきた。また、イメージ処理機能（例えば、円のジェネレーション、直線、斜線の発生、日本語処理機能としてのコードから対応する文字フォントのキャラクタイメージへの展開、イメージデータの回転、イメージデータの一部移動、イメージデータの反転等）の中で、各イメージ機器の制御部が持つ機能が共通なものも多い。そこで、本発明においては、これら共通な機能を一個のハードウェアにまとめ、一個のハードウェア（ここではIMIOP 9）にすることにより、より性能の良いシステムを構築したものである。

第1図ICにおいては、計算機本体1がメインメモリ4のプログラム命令を処理し、イメージスキャナ8へのイメージ読み込み命令により、IMIOP 9はイメージスキャナ8からのイメージ

ある。第2図に於いて、10は上位装置との間でイメージデータを送受するインターフェースアダプタ、11はIMIOP 9の中核をなすマイクロプロセッサ、12はキャラクタジェネレータ、13は拡大・縮小・符号化・複合化回路（以下PMUと称す）、14はイメージ出力機構となるイメージプリンタ6、及びイメージ入力機構となるイメージスキャナ8がつながるデバイスインターフェースアダプタ、15は内部バス、16はイメージデータバスである。

ここで、第1図及び第2図を参照して本発明の一実施例に於ける動作を説明する。前述した第3図に示す構成では、イメージメモリ3、イメージプリンタ6、イメージスキャナ8がそれぞれ計算機本体1の制御の下に独立した制御部（2, 5, 7）により制御されるのに対して、ここではイメージメモリ3、イメージプリンタ6、及びイメージスキャナ8がそれぞれ共通の制御部、即ちIMIOP 9の制御の下にイメージデータの入出力処理を行なうものである。

データを一旦、イメージメモリ3にストアする。その後、IMIOP 9は、計算機本体1からの命令を受け、イメージメモリ3の処理（従来、第3図に於いてイメージプロセッサ2が行なった処理）を行ない、必要に応じて計算機本体1から、イメージメモリ3の内容をイメージプリンタ6に出力する命令を受け取り、イメージプリンタ6に印字出力する。この場合、IMIOP 9は、イメージプリンタ6の制御部（従来のイメージプリンタ制御部5）の機能を果している。この際、イメージデータの動きは、イメージスキャナ8からIMIOP 9を介しイメージメモリ3へ移動し、イメージメモリ3からIMIOP 9を介しイメージプリンタ6へ移動しただけで、計算機本体1のメインメモリ4のアクセスは一切なかったことになる。また、磁気ディスク等の外部記憶へのストア、又は読み出しもなかったことになり、性能がアップすることになる。

次に第2図を参照して本発明に係る制御部、即ちIMIOP 9の動作を説明する。計算機本体1

より命令が IMIOP9 に出される。IMIOP9 は何れの機器(8, 6, 9)の命令か指定されているのでそれにより認識する。今、命令がイメージプロセッサー用命令であれば、IMIOP9 は、計算機本体1よりインターフェースアダプタ10を通してイメージデータを受け取り、そのデータが符号化(MR, MH等)されていれば、

PMU13を通してコードし、生イメージとして、その後、拡大又は縮小指定されれば拡大、縮小を行ない、イメージメモリ3からの指定された頁メモリアドレスにストアする。次の命令が円の発生、直線、斜線の発生、あるエリアのハッチング等の処理を IMIOP9 が行なう(以上は従来のイメージプロセッサーとイメージメモリ3で可能であった)。次に、計算機本体1より命令を出し、イメージスキャナ8よりイメージデータを入力し、イメージメモリ3にビットオアで重ねて書き、画面(イメージ)の合成をする。イメージメモリ3上にて合成した画面を次の命令でイメージプリンタ6に出力す

号化、データ圧縮(例えばMR, MHコード)して、計算機本体1に転送可能であり、画面全体でなく指定された部分の切り出しデータを計算機本体1に転送することもできる。

上記動作は第2図の各プロック(10~14)で機能分担している。すなわち、マイクロプロセッサー11は、計算機本体1からの命令の解釈、計算機本体1へのステータス報告等の処理を行なうとともに、コードデータからの文字フォントイメージを展開するため、キャラクタジェネレータ12のキャラクタ実アドレスを計算し、キャラクタジェネレータ12に転送する等の処理、更に、その時のイメージメモリ3の何れに書くかのイメージメモリ3の実アドレスをキャラクタジェネレータ12に転送する。この時、文字が、拡大か、90°回転か等のパラメータ情報もキャラクタジェネレータ12に転送する。

以上の処理動作をマイクロプロセッサー11が1文字毎に行なう。また、マイクロプロセッサー11は、イメージがMR, MH等符号化データ

ることも可能であり、計算機本体1のメインメモリ4、又は磁気ディスク、又は双方にストアしても良い。また、今とは逆に、イメージスキャナ8よりイメージを入力し、イメージメモリ3にストアした後、計算機本体1からの命令で、IMIOP9が円の発生、直線、斜線の発生等をイメージメモリ3上に展開し合成して、その後、イメージプリンタ6に出力も可能である。また、計算機本体1の命令により円の発生を IMIOP9 に行なわせ、イメージメモリ3上に展開して、イメージ処理した後、計算機本体1からのプリントデータを IMIOP9 を通して、イメージデータに展開し、イメージメモリ3に上記ビットオアでストアし、画面の合成をした後、IMIOP9 を通してイメージプリンタ6に出力することも可能である。また、イメージスキャナ8のイメージデータ、計算機本体1からの命令による円、直線発生、ハッチング等をイメージメモリ3上に展開した後、計算機本体1からの命令でイメージメモリ3のイメージデータを符

の場合、符号化コードを生イメージに変換すること、またその時、拡大、縮小をするか否かの指定を PMU13 に対して行ない、計算機本体1からのイメージデータを PMU13 を通してイメージメモリ3に書く。当然、イメージメモリ3の何れの部分に書くかのアドレス指定、幅指定はマイクロプロセッサー11が PMU13 にセットすることになる。円、直線・斜線、反転、部分移動等は、マイクロプロセッサー11がイメージメモリ3に対して行なうことになる。マイクロプロセッサー11はデバイスインターフェースアダプタ14に対し指示することにより、イメージプリンタ6の起動、イメージスキャナ8の起動、出力データ(プリンタの場合)のイメージメモリ3のスタートアドレス、入力データ(スキャナの場合)のイメージメモリ3へのスタートアドレス、バイトデータ転送数の指定等を行ない、イメージプリンタ6、イメージスキャナ8へのイメージデータの出力、入力を可能にしている。

従来、別々のイメージプリンタ用、イメージスキャナ用にそれぞれ独立した制御部を持ち、イメージプロセッサは前記制御部とは別のハードウェアを持っていました。また、イメージデータの一時バッファリング用にそれぞれ貯メモリを持っていました。

これに対して上述した本発明の一実施例においては、一つの制御部にまとめ、また、貯メモリも一つにし、構成の簡素化とコストダウンを実現している。また入力、出力イメージデータが制御部の貯メモリにストアしているため、入力イメージデータが計算機本体に転送され、そこからイメージプリンタ用イメージメモリに転送され、再度、計算機本体へ、更に、そこからイメージプリンタ用貯メモリに転送していた従来の構成に対して、1つのイメージメモリ上で処理が可能となり、処理スピードが上がる。

#### [発明の効果]

以上詳記したように本発明のイメージ入出力制御装置によれば、ハードウェアの有効利用を

計り、経済的に有利な構成で、かつシステム性能を向上できる。

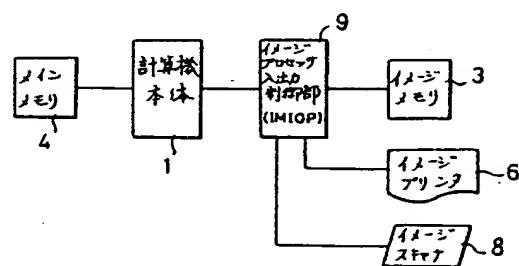
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すシステムブロック図、第2図は上記実施例の要部の構成を示すブロック図、第3図は従来のシステム構成を示すブロック図である。

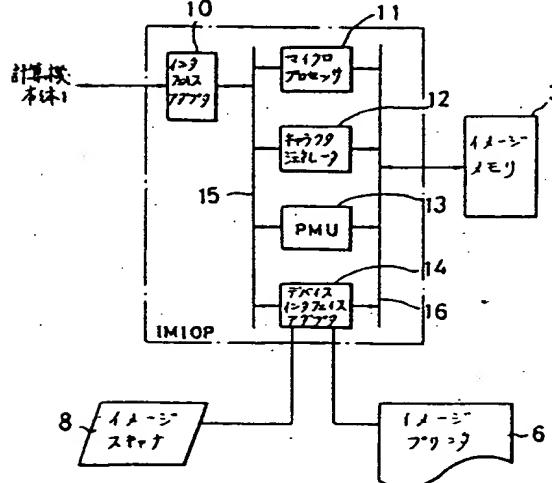
1…計算機本体、3…イメージメモリ、4…メインメモリ、6…イメージプリンタ、8…イメージスキャナ、9…イメージプロセッサ入出力制御部(IMIOP)、10…インターフェースアダプタ、11…マイクロプロセッサ、12…キャラクタジェネレータ、13…拡大・縮小・符号化・複合化回路(PMU)、14…アバイスインターフェースアダプタ、15…内部バス、16…イメージデータバス。

出願人代理人 弁理士 鈴江 武彦

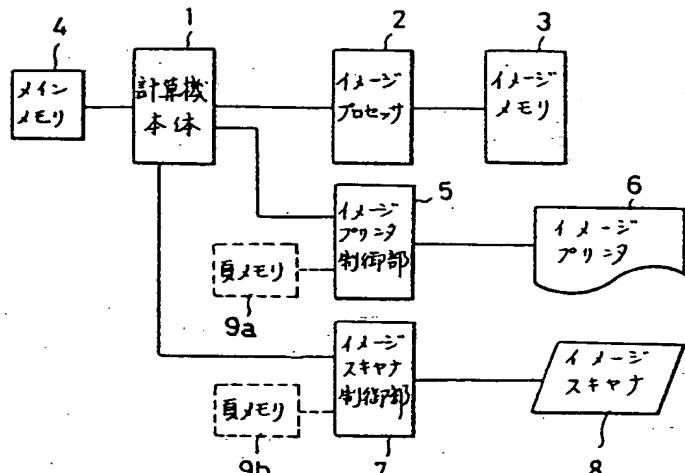
第1図



第2図



第3図



This Page Blank (uspto)